

## METHOD AND DEVICE FOR DATA PROCESSING WITH ADDRESS CONVERSION

<b>Patent number:</b>	JP2000082010
<b>Publication date:</b>	2000-03-21
<b>Inventor:</b>	KUSUTAKI IZUMI
<b>Applicant:</b>	SHARP CORP
<b>Classification:</b>	
- international:	G06F12/06; G06F12/02
- european:	
<b>Application number:</b>	JP19980251256 19980904
<b>Priority number(s):</b>	

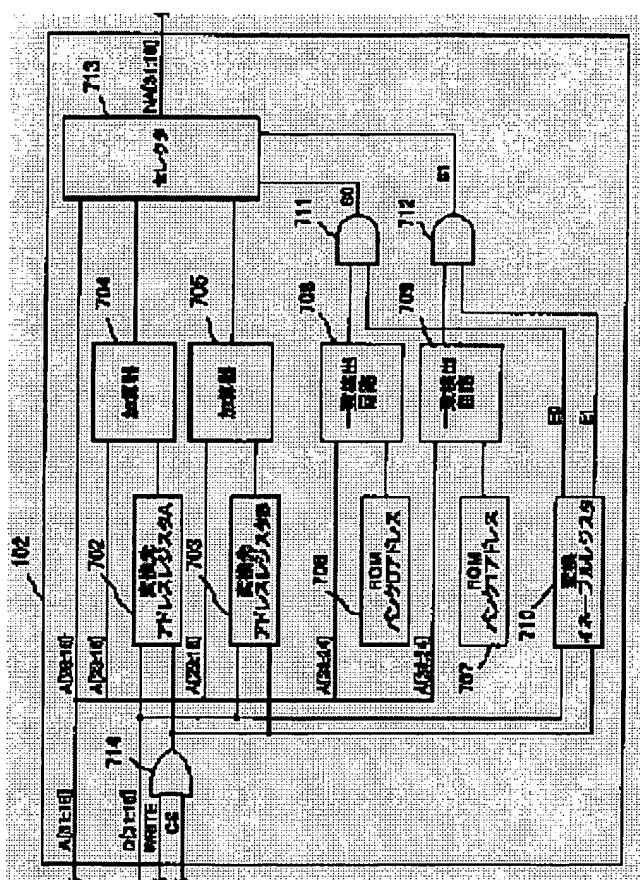
**Also published as:**

 US6397317 (B1)

## Abstract of JP2000082010

**PROBLEM TO BE SOLVED:** To provide a data processor which enables fast access to data by transferring data stored in a slow-access memory to a fast-access memory more efficiently.

**SOLUTION:** The processor has adders 704 and 705 which add an address signal and address conversion data set by a central processor and obtain a converted address signal corresponding to the address signal and a selector 713 which selects the converted address signal obtained by the adders 704 and 709 or the address signal according to detection signals outputted from coincidence detecting circuits 708 and 709 deciding whether or not the address signal matches the ROM address of the conversion source and the processes of the adders 704 and 705 and coincidence detecting circuits 708 and 709 are performed in parallel.



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82010

(P2000-82010A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	ターマート* (参考)
G 0 6 F 12/06	5 2 2	G 0 6 F 12/06	5 2 2 B 5 B 0 6 0
12/02	5 7 0	12/02	5 7 0 A

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号 特願平10-251256

(22) 出願日 平成10年9月4日 (1998.9.4)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 楠 滝 泉

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100112335

弁理士 藤本 英介

Fターム (参考) 5B060 AB25 CA03 CA17 MM02 MM03

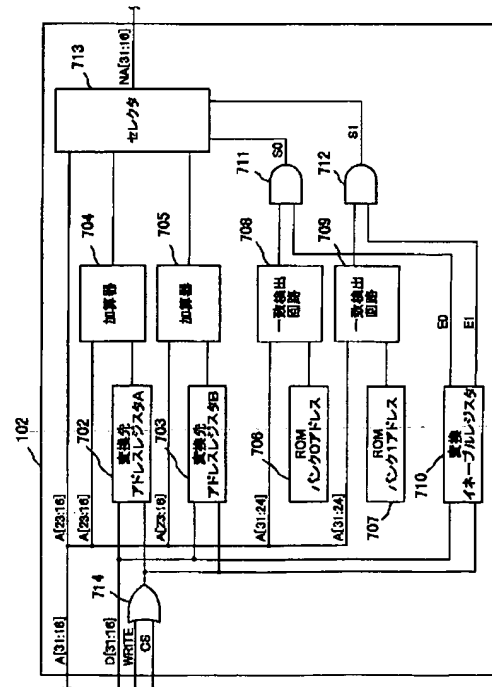
MM15

(54) 【発明の名称】 アドレス変換を有するデータ処理方法および装置

(57) 【要約】

【課題】 より効率良く低速にアクセスするメモリに貯えられているデータを高速にアクセスするメモリに転送し、データの高速アクセスを可能とするデータ処理装置を提供すること。

【解決手段】 アドレス信号と中央処理装置101により設定されるアドレス変換データとを加算し、アドレス信号に対応する変換アドレス信号を求める加算器704、705と、アドレス信号が変換元のROMアドレスと一致するか否かを判定する一致検出回路708、709から出力された検出信号に基づいて、加算器704、705により求められた変換アドレス信号あるいはアドレス信号のいずれかを選択するセレクタ713とを有し、加算器704、705と一致検出回路708、709の処理を、並列に処理する。



## 【特許請求の範囲】

【請求項1】 低速アクセスメモリに貯えられているデータを、高速アクセスメモリに転送して、高速アクセスすることを可能とするアドレス変換を有するデータ処理方法であって、

前記データを低速アクセスメモリと高速アクセスメモリのいずれのメモリからアクセスするかを選択するメモリ選択工程と、

アドレス信号と、中央処理装置により設定されるアドレス変換データに基づき、アドレス信号の変換先アドレス信号を決定する変換先アドレス決定工程と、

アドレス信号と低速アクセスメモリの変換元アドレスを比較し、アドレス信号が変換元アドレスと一致するか否かを判定する比較工程と、

前記メモリ選択工程の選択結果と比較工程の比較結果に基づき、アドレス信号、あるいは変換アドレス信号のいずれか1の信号を選択するアドレス信号選択工程とを有し、

同一データを、低速アクセスメモリと高速アクセスメモリのいずれかのメモリでアクセスすることができるアドレス変換を有するデータ処理方法。

【請求項2】 変換先アドレス決定工程で用いるアドレス信号は、信号全ビットを設定せずに、所定複数ビットを設定することを特徴とする請求項1に記載のアドレス変換を有するデータ処理方法。

【請求項3】 メモリ選択工程は、高速アクセスメモリの空き領域の容量に基づき、前記空き領域の容量が前記データ処理に十分な量であれば高速アクセスメモリから、前記空き領域の容量が前記データ処理に十分な量でない場合には低速アクセスメモリからアクセスを行うことを選択する請求項1又は2に記載のアドレス変換を有するデータ処理方法。

【請求項4】 メモリ選択工程は、不揮発性メモリに書き込まれた選択用フラグを読み込むことにより行うことを特徴とする請求項1から3のいずれか1の請求項に記載のアドレス変換を有するデータ処理方法。

【請求項5】 低速アクセスメモリに貯えられているデータを高速アクセスメモリに転送し、前記データを高速アクセスすることを可能とするアドレス変換を有するデータ処理装置であって、

アドレス信号と、中央処理装置により設定されるアドレス変換データとを加算し、アドレス信号に対応する変換先アドレス信号を求める加算部と、

アドレス信号が、データ転送を行った低速アクセスメモリに対応する変換元アドレスと一致するか否かを判定する判定部と、

前記判定部から出力された検出信号に基づいて、加算部により求められた変換先アドレス信号を選択する選択部とを有し、

前記加算部と判定部での処理を、並列に処理することを

特徴とするアドレス変換を有するデータ処理装置。

【請求項6】 低速アクセスメモリに貯えられているデータを高速アクセスメモリに転送し、前記データを高速アクセスすることを可能とするアドレス変換を有するデータ処理装置であって、

アドレス信号と、中央処理装置により設定されるアドレス変換データとを加算し、アドレス信号に対応する変換先アドレス信号を求める加算部と、

アドレス信号が、データ転送を行った低速アクセスメモリに対応する変換元アドレスと一致するか否かを判定する判定部と、

前記判定部から出力された検出信号と、前記データを低速アクセスメモリと高速アクセスメモリのいずれのメモリでアクセスするかを示す選択データに基づき、アドレス信号と変換先アドレス信号のいずれかの信号を選択する選択部とを有し、

前記加算部と判定部での処理を、並列に処理することを特徴とするアドレス変換を有するデータ処理装置。

【請求項7】 加算部で処理するアドレス信号は、アドレスデータ全ビットを設定せずに、所定複数ビットを設定することを特徴とする請求項5または6に記載のアドレス変換を有するデータ処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、低速にアクセスするメモリに貯えられているデータを高速にアクセスするメモリに転送し、高速アクセスすることを可能とするアドレス変換を有するデータ処理方法および装置に関する。

## 【0002】

【従来の技術】近年、例えばプリンタ装置などのように、データ処理を高速で処理するシステムが要求されるようになっているが、プログラムを記憶するROM（リード・オンリー・メモリ）はアクセスが低速な為、中央処理装置CPUがいくら高速でも待ち時間等が発生し、アクセス時間が遅くなるという問題があった。そこで前記問題に対して、スタティックRAMやページモード、ハイパーページモードの機能を持つDRAM等の高速なRAM（ランダム・アクセス・メモリ）にプログラムをロードし、そのRAMをアクセスすることにより、高速な処理を行うシステムを実現する技術が知られている。以下に関連する技術を示す。

【0003】（1）ROM等の読み出し専用記憶装置からプログラムデータを読み出し、実行するデータ処理装置に関して、特開平9-160824号公報に開示されている。これは、一般的にアクセスが低速で知られているROMに記憶されているプログラムデータを、イニシャル時（初期化時）にアクセスが高速で知られているRAMに転送し、通常時はRAMからアクセスし、高速でアクセスするものである。

【0004】図8は、特開平9-160824号公報に開示されている構成図の概略図である。図8において、イニシャル時にタイミング発生器804にスタート信号が入力されると、このタイミング発生器804によって作られたタイミングにより、低速なROM806をアクセスする為のアドレスがアドレス発生器805により生成される。このアドレス発生器805から出力されるnビットのアドレスは、ROM806と共にマルチプレクサ802にも接続されており、タイミング発生器804から出力されるセレクト信号selectにより、通常時のアドレス発生器801から出力されるアドレスと選択され、マルチプレクサ802から出力される。

【0005】従って、イニシャル時にはアドレス発生器805からのアドレスが選択され、RAM803のアドレスとなり、ROM806から読み出されたmビットのデータがRAM803にライトされる。一方、通常時はアドレス発生器801からのアドレスが選択され、RAM803からプログラムデータとして出力される。これにより、イニシャル時には、低速なROM806からのデータをRAM803に転送し、通常時はRAM803からアクセスする高速なデータ処理装置が記載されている。

【0006】(2) ROMの領域とRAMの領域を選択する技術として、特開平6-223205号公報に開示された技術がある。図9、10は、特開平6-223205号公報に開示されている構成図の概略図である。図9において、2つのアドレス設定レジスタ901、902は、図10のメモリマップにおけるROM(或いはSRAM)とDRAMのアドレス境界を設定し、それぞれ[400000H]、[B00000H]を設定する。2つの比較回路903、904では、アドレス設定レジスタ901、902とアドレスを大小比較し、判定回路905により図10のような3つのアドレスに分けられていることを認識する。3つのコンフィグレーションレジスタ(CR)906、907、908では、3つのアドレスがROM(SRAM)かDRAMのいずれかを設定する。つまり、CR906はROM、CR907はDRAM、CR908はROMになるようなビット設定を行う。そして、判定回路905の出力とこの3つのレジスタ設定値より、選択回路909でどのメモリ領域がROMで、どのメモリ領域がDRAMかをコントロール回路911に送出する。

【0007】コントロール回路911でアドレスがDRAMの範囲になった場合には、DRAMの制御信号を発生し、アドレスをマルチプレクサ910でカラムアドレスとロウアドレスに分割して出力する。一方、アドレスがROMの範囲になった場合には、ROMの制御信号を発生し、アドレスをそのまま出力する。

【0008】これにより、アドレス設定レジスタ901、902とコンフィグレーションレジスタ906、9

07、908の設定を行うだけで、ROMかDRAMかを自由に設定できる。又、この技術によりアドレス変換も行う事が出来、例えばコンフィグレーションレジスタ906、907、908の設定により、図10(a)を図10(b)のように変換でき、アドレス変換されたようにみえる。

【0009】(3) アドレス変換を行う技術としては、特開昭60-91460号公報で開示されているような技術が知られている。図11は、特開昭60-91460号公報に開示されている構成図の概略図である。図11において、中央処理装置(以下「CPU」と略記する)1101から出力されたアドレスは、アドレス検出回路1103に接続され、予め設定されたアドレスと一致すると、一致したことをゲート回路1104に通知する。ゲート回路1104では、前記通知を受けるとオフセットレジスタ1102に設定されたデータを出力するようにゲートを開く。加算器1105では、このゲート回路1104からのデータとCPU1101からのアドレスを加算して、変換されたアドレスを出力する。

【0010】アドレス検出回路1103が一致しないとした場合は、ゲート回路1104のゲートは開かず全て“0”が出力され、加算器ではCPU1101からのアドレスと“0”を加算する事になり、つまり、アドレス変換されない元のアドレスを出力することになる。

【0011】

【発明が解決しようとする課題】しかしながら、従来技術(1)特開平9-160824号公報では、通常時は必ずRAMからリードするように設定されている為、一般的にシステム上必要になるワーキングRAMとは別に、転送されたROMデータを貯えるRAM容量が必要となり、システムコストが高くなる欠点があり、さらにROMはイニシャル時だけ必要なものであり、システムからみて効率が悪いという欠点があった。

【0012】従来技術(2)特開平6-223205号公報では、外部回路を簡単にする為に、共通のアドレスバスからROM(SRAM)のアドレスとDRAMのマルチプレクサしたアドレスとを切り替えるというものであるが、昨今高速なアクセスを実現するために、ROMアドレスとDRAMアドレスを別にし、同時にアクセスする事が可能になるよう構成するのが一般的であり、従来技術(2)はこの構成を考慮されていないという欠点があった。

【0013】又、この従来技術(2)の効果として、イニシャル時に[000000H]から[3FFFFFFH]のROMデータを[400000H]からのRAMに転送し、図10のようにアドレス変換し、高速なRAMでアクセスすることを可能とするが、この場合、変換する前のRAM領域に直接アドレッシングしていたアクセスはできなくなる。例えば変換前に[500000H]をライトするようにプログラムされていた場合、変換後の[500000H]はROMにな

っている為、ライトできなくなるという欠点があった。

【0014】従来技術(3)特開昭60-91460号公報では、アドレス検出回路1103でアドレスを監視し、アドレスが決められたアドレスと一致してからゲート回路1104を開いて、オフセット値と加算する為、一致検出の時間と加算する時間と必要になり、高速に変換できないという欠点があった。

【0015】本発明は、前記の問題点を解消するためなされたものであって、より効率良く低速にアクセスするメモリに貯えられているデータを高速にアクセスするメモリに転送し、データの高速アクセスを可能とするアドレス変換を有するデータ処理方法および装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明は、上記の目的を達成するため、次の構成を有する。請求項1の発明は、低速アクセスメモリに貯えられているデータを、高速アクセスメモリに転送して、高速アクセスすることを可能とするアドレス変換を有するデータ処理方法であって、前記データを低速アクセスメモリと高速アクセスメモリのいずれのメモリからアクセスするかを選択するメモリ選択工程と、アドレス信号と、中央処理装置により設定されるアドレス変換データに基づき、アドレス信号の変換先アドレス信号を決定する変換先アドレス決定工程と、アドレス信号と低速アクセスメモリの変換元アドレスを比較し、アドレス信号が変換元アドレスと一致するか否かを判定する比較工程と、前記メモリ選択工程の選択結果と比較工程の比較結果に基づき、アドレス信号、あるいは変換先アドレス信号のいずれか1の信号を選択するアドレス信号選択工程とを有し、同一データを低速アクセスメモリと高速アクセスメモリのいずれかのメモリからアクセスすることができるアドレス変換を有するデータ処理方法である。

【0017】上記請求項1の発明によれば、高速アクセスメモリの空き領域等からデータを高速アクセスメモリにおいて処理できるか否かがメモリ選択工程により判断される。またアドレス信号から、高速アクセスメモリの変換先アドレスにアクセス可能とするために、まず、変換先アドレス決定工程でアドレス信号とアドレス変換データに基づいて変換先アドレスが求められ、また、アドレス信号が変換元アドレスであるか否か、また複数の変換先アドレスがある場合にはどの変換アドレスに対応するかを判断するために、比較工程においてアドレス信号と低速アクセスメモリの変換元アドレスを比較する。

【0018】そしてアドレス信号が、比較工程にて変換元アドレスと判断され、かつ、前記メモリ選択工程での判断結果が高速アクセスメモリにデータのアクセス可能性の判断結果が肯定的であれば、該当する変換先アドレス信号がアドレス信号選択工程で選択されて、所望のデータを高速アクセスメモリがアクセスする。逆に、比較

工程の判断結果と選択工程での判断結果の少なくともいずれか一方が否定的結果となる場合には、変換先アドレス信号ではなくアドレス信号がアドレス信号選択工程で選択されて、所望のデータを低速アクセスメモリの変換元アドレスからアクセスする。よって、低速でアクセスするメモリからデータをアクセスするか、高速でアクセスするメモリからデータをアクセスするかを、変換元アドレスのデータ内容を変更することなく選択できるので、アドレス変換を不要とする場合にあっては新たなアドレス変換処理等が必要なくなり、処理時間の短縮化、装置の小型化及びプログラム規模の削減に寄与するものとできる。

【0019】請求項2の発明は、変換先アドレス決定工程で用いるアドレス信号は、信号全ビットを設定せずに、所定複数ビットを設定することを特徴とする請求項1に記載のアドレス変換を有するデータ処理方法である。

【0020】上記請求項2の発明によれば、変換先アドレス決定工程で用いるアドレス信号は、転送するデータに基づき、処理に必要な所定複数ビットを用いることにより迅速な処理が行われ、処理時間、処理工程の短縮化に寄与するものとできる。

【0021】請求項3の発明は、メモリ選択工程は、高速アクセスメモリの空き領域の容量に基づき、前記空き領域の容量に前記データ処理に十分な量があれば高速アクセスメモリから、前記空き領域の容量に前記データ処理に十分な量がない場合には低速アクセスメモリからアクセスを行うことを選択する請求項1又は2に記載のアドレス変換を有するデータ処理方法である。

【0022】上記請求項3の発明によれば、データを高速アクセスを行うにあたり、高速アクセスメモリ容量が処理十分な量がない場合は低速アクセスメモリからのアクセスを行い、高速アクセスメモリ容量がデータ処理に十分な量がある場合は、高速アクセスメモリからのアクセスを行うように選択できるので、高速アクセスメモリワークの領域が足らなくなって、正常動作しなくなるような不具合を防ぐことができる。

【0023】請求項4の発明は、メモリ選択工程は、不揮発性メモリに書き込まれた選択用フラグを読み込むことにより行うことを特徴とする請求項1から3のいずれか1の請求項に記載のアドレス変換を有するデータ処理方法である。

【0024】上記請求項4の発明によれば、低速アクセスメモリのデータを高速アクセスメモリに転送可能か否かを不揮発性メモリに書き込むことによる、電源をオフしても不揮発性メモリ内容が消去されないために、次に電源投入時や再起動時等に、自動的に高速のアクセスメモリにアクセスし、使用者は高速アクセスメモリ容量を把握しなくても、高速な処理が可能とできる。

【0025】請求項5の発明は、低速アクセスメモリに

貯えられているデータを高速アクセスメモリに転送し、前記データを高速アクセスすることを可能とするアドレス変換を有するデータ処理装置であって、アドレス信号と、中央処理装置により設定されるアドレス変換データとを加算し、アドレス信号に対応する変換先アドレス信号を求める加算部と、アドレス信号が、データ転送を行った低速アクセスメモリに対応する変換元アドレスと一致するか否かを判定する判定部と、前記判定部から出力された検出信号に基づいて、加算部により求められた変換先アドレス信号を選択する選択部とを有し、前記加算部と判定部での処理を、並列に処理することを特徴とするアドレス変換を有するデータ処理装置である。

【0026】上記請求項5の発明によれば、加算部によりアドレス信号と、アドレス変換データとが加算されて、アドレス信号に対応する変換先アドレス信号が求められ、また並列して、判定部によって、アドレス信号が高速アクセスメモリで処理されるべく転送した低速アクセスメモリの変換元アドレスに該当し、また複数の変換元アドレスがある場合にはいずれの変換元アドレスであるか（一致するか否か）が判定される。次に選択部において、判定部から出力された検出信号に基づいて変換先アドレス信号が選択される。加算部と判定部での処理を、並列処理する所望するアドレス信号の決定時間の短縮され、データ処理の高速化に寄与するものとできる。

【0027】請求項6の発明は、低速アクセスメモリに貯えられているデータを高速アクセスメモリに転送し、前記データを高速アクセスすることを可能とするアドレス変換を有するデータ処理装置であって、アドレス信号と、中央処理装置により設定されるアドレス変換データとを加算し、アドレス信号に対応する変換先アドレス信号を求める加算部と、アドレス信号が、データ転送を行った低速アクセスメモリに対応する変換元アドレスと一致するか否かを判定する判定部と、前記判定部から出力された検出信号と、前記データを低速アクセスメモリと高速アクセスメモリのいずれのメモリからアクセスするかを示す選択データに基づき、アドレス信号と変換先アドレス信号のいずれかの信号を選択する選択部とを有し、前記加算部と判定部での処理を、並列に処理することを特徴とするアドレス変換を有するデータ処理装置である。

【0028】上記請求項6の発明によれば、加算部によりアドレス信号と、アドレス変換データとが加算されて、アドレス信号に対応する変換先アドレス信号が求められ、また並列して、判定部によって、アドレス信号が高速アクセスメモリで処理されるべく転送した低速アクセスメモリの変換元アドレスに該当し、また複数の変換元アドレスがある場合にはいずれの変換元アドレスであるか（一致するか否か）が判定される。そしてアドレス信号が、判定部にて変換元アドレスと判断されれば、該当する変換先アドレス信号が選択部で選択されて、所望

のデータを高速アクセスメモリからアクセスすることとなる。逆に、判定部にて変換元アドレスではないと判断されれば、変換先アドレス信号ではなくアドレス信号が選択部で選択されて、所望のデータを低速アクセスメモリの変換元アドレスからアクセスすることとなる。よって、高速アクセスメモリワークの領域が足らなくなつて、正常動作しなくなるような不具合を防ぐこととなる。加算部と判定部での処理を、並列処理する所望するアドレス信号の決定時間の短縮され、データ処理の高速化に寄与するものとなるとともに、低速でアクセスするメモリからデータをアクセスするか、高速でアクセスするメモリからデータをアクセスするかを、変換元アドレスのデータ内容を変更することなく選択できるので、低速でアクセスするメモリからデータをアクセスする必要とする場合であっても、一旦アドレス変換してしまったデータを改めて変換し直す等の複雑なアドレス処理等が必要なくなり、処理時間の短縮化、装置の小型化及びプログラム規模の削減に寄与するものとできる。

【0029】請求項7の発明は、加算部で処理するアドレス信号は、アドレスデータ全ビットを設定せずに、所定複数ビットを設定することを特徴とする請求項5または6に記載のアドレス変換を有するデータ処理装置である。

【0030】請求項7の発明によれば、アドレスデータ全ビットを設定せずに、所定複数ビットを設定することにより、加算器で用いるアドレス信号は転送するデータに基づき、処理に必要な所定複数ビットを用いることにより迅速な処理が可能となり、処理時間の短縮と装置の小型化に寄与するものとできる。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を詳細に説明する。図1は、アドレス変換を有するデータ処理装置の概略ブロック図を示しており、アドレス信号や読出命令等の制御命令を出力する中央処理装置（以下「CPU」と略記する）101と、アドレス信号を変換を可能とするアドレス変換回路102と、各装置とのデータ処理等を行うメインコントローラ103と、前記メインコントローラ103からのデータに基づき後述する各種メモリの制御を行うROMコントローラ104、RAMコントローラ105及び前記ROMコントローラ104に接続したBOOT ROM107とCODE ROM108、前記RAMコントローラ105に接続したDRAM109、及びメインコントローラ103に接続したEEPROMメモリから概略構成されている。

【0032】図1において、ROMアクセスの場合には、まずCPU101から出力されたアドレス信号addressは、アドレス変換回路102に入力される。尚、このアドレス変換回路102で前もって初期状態はアドレス変換しないようにしておけば、アドレス変換回路10

2ではアドレス変換せずに、入力されたアドレス信号addressをそのままメインコントローラ103に出力する。

【0033】メインコントローラ103では、入力したアドレス信号addressを内部のデコーダ回路(図示しない)でデコードし、図2(a)に示すメモリマップ中のBOOT ROM及びCODE ROM領域に該当する場合には、ROMコントローラ104にアドレス信号addressを出力し、RAM領域に該当する場合は、RAMコントローラ105にアドレス信号addressを出力する。この時、メインコントローラ103では、CPU101からの読み込み信号read、書き込み信号write、デバイスセレクト信号csからROMコントローラ104とRAMコントローラ105に出力するための各種ROM rd(リード)、ROM cs(チップセレクト)、RAM rd、RAM wr(ライト)、及びRAM cs信号を生成する。上記cs信号はアクセス同期信号として使用し、その信号がリードからライトか判別する信号がrdとwrである。

【0034】ROMコントローラ104では、メインコントローラ103からのアドレス信号address、ROM rd、及びROM cs信号から、外付けされたBOOTROM107とCODE ROM108をアクセスする為の信号address、rd、及びcsを生成する。又、RAMコントローラ105では、メインコントローラ103からのアドレス信号address、RAM rd、RAM wr、及びRAM cs信号から、外付けされたDRAM109をアクセスするための信号address、RAS、CAS、wr、及びrdを生成する。

【0035】CPU101が読み込む(read)データ(data)は、以下のように処理される。まず、BOOT ROM107、CODE ROM108からreadされたdataは、ROMコントローラ104送られ、一方RAM109からreadされたdataは、RAMコントローラ105に送られる。そしてROMコントローラ104及びRAMコントローラ105内のdataは、メインコントローラ103に送られ、内部のバス調整回路(図示しない)により、CPU101のdataとしてCPU101に送られる。尚、通常一般には、ROM内にはCPUを動作させるプログラムデータが、RAMにはプログラムを動作するスタックなどのワーキング用データが記憶されている。

【0036】また、CPUからのdataをメモリへ書き込む(write)場合は、メインコントローラ103とRAMコントローラ105を通して、DRAM109に送出され、dataが書き込まれる。

【0037】RAMアクセスをする場合、最初にCODE ROM108のプログラムデータをCPU101が読み取り、DRAM109に書き込む。

【0038】以上の処理を行うことにより図2の(a)

から(b)に示すようなメモリマップになる。つまり、[100000H]からのCODE ROM領域を[400000H]のRAM領域に転送する。ここでCPU101はアドレス変換回路102に、変換元のアドレス(本実施例の場合[100000H])、変換先のアドレス(本実施例の場合[400000H])、及びアドレス変換可能(イネーブル)にするレジスタ設定を行う。この設定後、CPU101からCODE ROM領域([100000H]からの)をアクセスするとアドレス変換回路102によってアドレス変換され、メインコントローラ103では、この変換されたアドレスは、[400000H]からのアドレスであるからRAM領域と判断し、RAMコントローラ105に送られ、DRAM109をアクセスする。これにより転送されたRAM領域のCODE ROMのプログラムデータは、DRAMアクセスとしてCPU101は高速にアクセス可能となる。

【0039】上記説明により、ROMアクセスの場合(つまり低速なアクセス)とRAMアクセスの場合(つまり高速なアクセス)は、アドレス変換回路102へのアドレス変換をイネーブルにする設定をするかどうかで設定できる。これにより、例えばRAMの容量が少なく転送する領域がない場合や、ワーキングメモリが少なくパフォーマンスが悪い場合には、RAMアクセスを行わずにROMアクセスを行い、逆にRAMの容量が多いシステムでは、RAMアクセスを行うように選択することができる。

【0040】上記説明の中で、アドレス変換回路102に設定する変換元のアドレスは、ROM領域がバンクとして前もって分割されている場合、例えば、図2のメモリマップでBOOT ROM領域をROMバンク0、CODE ROM領域をROMバンク1としてバンク設定できるシステムでは、変換元のアドレスを設定するレジスタは不要で、変換先のアドレスを設定するレジスタだけで同様の処理が行える。具体的にはROMバンク0に対応する変換先のアドレス設定レジスタをレジスタAとし、ROMバンク1に対応する変換先のアドレス設定レジスタをレジスタBとそれぞれ対応して設けることにより、変換元のアドレス設定レジスタは不要となり、変換先のアドレス設定レジスタだけで処理できることになる。

【0041】又、上記のROM領域をバンク設定できるシステムにおいて、ROMは主にプログラムデータであるから、容量も少なくない。従って、変換先を細かい単位で分割しても使用価値はない。例えば、変換先のアドレスを全ビット設定できるようにすれば、バイト単位で変換できるが、ROMは1バイトで収まらない。もし、ROMの単位が64KBで収まるならば64KB単位で変換できればよいので、ROMバンクのスタートアドレス下位16bitは、[0000H]と固定することができる。従って、アドレス下位16bitは変換しなくて

も、そのままのアドレスを使用すれば良く、変換先のアドレス設定は、上位8bitだけで処理でき、回路規模を無駄無く縮小できることとなる。

【0042】さらに、上記のROMをバンク設定できるシステムでは、アドレス変換をイネーブルにする設定レジスタは、例えば図2のメモリマップではBOOT ROMのROMバンク0は第1bitに対応し、CODE ROMのROMバンク1は第2bitに対応するようにすれば、第1bitが"0"ならBOOT ROMのアドレス変換はディセーブル(不可能)、第2bitが"1"ならCODEROMのアドレス変換はイネーブル(可能)とあらわすことができる。

【0043】また、CODE ROMをRAMに転送し、高速アクセスを行う選択(例えば、第2bitを"1"に設定)は、外部入力手段である、例えばキー入力、スイッチSWの切換入力等で選択することもできる。この高速アクセスを行うことを選択する場合のフローチャートを図3を参照しつつ説明する。

【0044】まず上記外部入力手段である、キー入力やスイッチSWの入力(ON)を確認し(ステップS301)、続いて転送先となるRAM容量を所定の処理によって測定し(ステップS302)、測定結果から十分な空き領域の有無を判断する(ステップS303)。もしもRAM容量が少ない場合等は、表示部、例えばLCD(液晶ディスプレイ)に「RAM不足」の表示や、空き領域不足表示ランプの点灯等により、RAM容量が少ないことを表示する(ステップS307)。または、RAM容量の空きが転送するROM領域以上ある場合は、CODEROMをRAMに転送し(ステップS304)、CODE ROM領域から転送先であるRAMへの変換先アドレスを設定し(ステップS305)、RAMによる高速アクセスモードとなって(ステップS306)終了する。

【0045】尚、RAM容量の空き領域を判別する方法は具体的に記さないが、決められたアドレスにデータをライトし、同じアドレスをリードし、ライトしたデータと同じかどうか比較し、同じであれば次のアドレスを行う事によって容量が判別する方法がある。

【0046】更に、図4のフローチャートに示すように、電源投入時にRAM容量を測定及び判断し(ステップS401、402)、高速アクセスを行う容量がある場合には、LCD等に高速アクセスを行う事ができる事を表示させる(ステップS403)。

【0047】また、図5の処理のフローチャートに示すように、電源投入時にRAM容量を測定及び判断し(ステップS501、502)、高速アクセスを行う容量がある場合には、自動的にCODE ROMをRAMに転送し(ステップS503)、CODE ROMを転送した変換先RAMアドレスを設定し(ステップS504)、RAMアクセスモードに設定(ステップS505)する

ことによりRAMアクセスを行うようにもできる。もし高速アクセスを行う容量がない場合には、ROMアクセスを行うこととなる。これにより、使用者は、システムのRAM容量を把握しなくても、絶えず高速なシステムにより処理でき、またワークRAMが足らなくなって、正常動作しなくなるような不具合を防ぐことができる。

【0048】さらに、RAMアクセスするように設定することをEEPROM等の不揮発性RAMに記憶させると、次の電源投入時に、このEEPROMのデータを読み込むことにより、自動的にRAMアクセスするようにできる。2bitシリアルEEPROMは、図1に示すように同期クロック信号CLKと双方向シリアルデータDATAからなり、コマンドを書き込むことによりデータをリードライトする。つまりライトの場合は、コマンドでライトコマンドをシリアルで送信し、次にアドレスを送信し、書き込みデータを送信する。リードの場合は、リードコマンドを送信し、次にアドレスを送信するとCLKに同期してデータをリードする。図6に示す処理のフローチャートを参照しつつ詳細を説明すると、前記説明したようなRAMアクセスモード(ステップS601)において、不揮発性RAMに高速モードフラグをセット記憶させ(ステップS602)、次に電源を再投入時に(ステップS603、S604)不揮発性RAMに高速モードフラグ読み込み(ステップS605)、高速モードを示すフラグがセットされていれば(ステップS606)RAMアクセスモードにするためにRAM容量を判断する(ステップS607)。もし、RAM容量がデータ処理に十分な容量よりも少なければROMアクセスにし、不揮発性RAMであるEEPROMにROMアクセスモードを示すフラグをセットする(ステップS611)。また、RAM容量の空き領域がデータ処理に十分な場合には、図5に示したステップS502からステップS505と同様の処理を行う(ステップS608からS610)。上記図6に示すフローチャートの処理により、例えば電源OFF中にRAM容量を減らし、ワークRAMが足らなくなった場合であっても、正常動作しなくなるような不具合を防ぐこととなる。

【0049】次にアドレス変換回路102を図7を参照しつつ説明する。尚、この実施の形態では、アドレス32bitのシステムとして説明する。図1のCPU101から出力されたアドレスA[31:0]のうちA[31:16]の上位16bitがアドレス変換回路102に入力する。ただし、これはROMの容量の最小単位を64KBと決めた時の例であり、他のシステム、例えば128KB単位であれば17bitの区切りとなるように、これに限定するものではない。

【0050】入力された上位16bitのアドレスは、2つの加算器704、705に入力され、それぞれ、変換先アドレスレジスタ702、703のデータと加算される。



【0051】前記変換先アドレスレジスタ702、703には、CPU101（図1）からのデータを、同じくCPU101からのWRITE信号とCS信号を負論理積するためのORゲート714の出力信号によりデータがセットされる。

【0052】この加算器704、705の出力結果が変換アドレスとなる。例えば入力されたアドレスA[31:16]が[0000 0000 1000 0011]とし、変換先アドレスが[1100 0000 0000 0011]であったとした場合、加算器にはA[23:16]の[1000 0011]と[1100 0000 0000 0011]を加算することになり、得られる結果[1100 0000 1000 0110]が変換アドレスとなる。この加算器704、705は、アクセス領域がROM、RAM関係なく、加算を行い、変換アドレスを出力する。

【0053】一方、入力されたアドレスの最上位8bit A[31:24]は、変換元がROMバンクの領域かどうかの判断に使用される。レジスタ706には、ROMバンク0のスタートアドレスの上位8bitが記憶され、このアドレスデータとA[31:24]を比較し、一致するかどうかを一致検出回路708で判断し、一致した場合、一致信号を出力する。同様にROMバンク1の上位8bitを記憶するアドレスレジスタ707とA[31:24]を比較する一致検出回路709により、ROMバンク1のアドレスの検出が可能となる。すなわち一致検出回路708、709の検出により、入力されたアドレスがどのROMバンクかが判明し、アドレス変換するアドレスの範囲を決めることが可能となる。尚、上位8bitは1つのバンクサイズを16MB単位としたシステムの例である。

【0054】また変換イネーブルレジスタ710も前記変換先アドレスレジスタ702、703と同様にCPU101（図1）からのデータと、CPU101からのWRITE信号とCS信号を負論理積するためのORゲート714の出力信号からのデータとがセットされる。

【0055】変換イネーブルレジスタ710のROMバンクに対応したbitの値が“1”の時、そのROMバンクの変換がイネーブルであることを示す。本実施形態ではROMバンク0を第1bit、ROMバンク1を第2bitとすると、変換イネーブルレジスタ710の値が“0000 0001”であった場合、ROMバンク0のアドレス変換がイネーブル、ROMバンク1のアドレス変換がディセーブルとなる。このROMバンク毎のイネーブル/ディセーブル信号E0、E1は、各対応するANDゲート711、712に入力すると、それぞれのROMバンクの一致信号である一致検出回路708、709の信号とAND（論理和）し、その結果を信号S0、S1として出力する。つまり、アドレスがROMバンク0のアドレスと一致し、アドレス変換がイネーブルに設定している時のみS0がアクティブ“1”になり、また、ア

ドレスがROMバンク1のアドレスと一致し、アドレス変換がイネーブルに設定している時のみS1がアクティブ“1”になる。

【0056】セレクタ713では、前記各ROMバンクに対応したS0、S1の信号から、3つのアドレスを選択する。3つとは（1）CPU101から出力された元のアドレス、（2）加算器704で変換されたアドレス、（3）加算器705で変換されたアドレスである。

（S0、S1）=（0、0）の時は（1）を選択し、

（S0、S1）=（1、0）の時は（2）を選択し、

（S0、S1）=（0、1）の時は（3）を選択するように規定する。これにより、ROMバンク0の領域にアドレスがあり、変換がイネーブルになっている場合、変換先レジスタAで設定したアドレスに変換されて出力され、また、RAMバンク1の領域にアドレスがあり、変換がイネーブルになっている場合、変換先レジスタBで設定したアドレスに変換されて出力される。一方、ROMバンク0、1の領域にアドレスがないか、変換がディセーブルになっている場合はアドレス変換されないアドレスが出力される。

【0057】以上説明したように本実施形態の画像処理装置によれば、プログラムデータをRAMに転送し高速アクセスを行うにあたり、RAM容量が少ない場合はROMからのアクセスを行い、RAM容量が多い場合は、RAMからのアクセスを行うように選択できるので、ワークRAMが足らなくなつて、正常動作しなくなるような不具合を防ぐ事ができた。さらにプログラムデータをRAMの空き領域に転送するために、最初もプログラムデータの内容には変更はなく、従来のようにアドレス変換に伴うアドレス変換前後でのデータ格納アドレスの複雑な計算等を必要ないので処理効率の向上が可能となった。

【0058】またプログラムデータを有するROMをバンク割付によりアドレス空間を分割し、ROMの最小容量があらかじめ決められているシステムにおいては、処理に必要とするビットデータを減らすことができ、回路規模を無駄無く縮小できる。

【0059】アドレス変換を必要とする範囲が複数個あった場合、それぞれの範囲でアドレス変換するかどうかを設定でき、システム設計の汎用性を高めることができる。

【0060】加算器704、705と一致検出回路708、709における処理を並列に行うので、アドレス変換によるタイミング遅延がなくなり、プログラムデータの変更することなく、高速なアクセスが可能となった。

【0061】

【発明の効果】

以上説明した通り、請求項1の発明によれば、アドレス信号が、比較工程にてアドレス信号が変換元アドレスと判断され、かつ、前記メモリ選択工程での判断結果が肯定的であれば高速アクセスメモリのアク

セスが可能となり、逆に、比較工程の判断結果と選択工程での判断結果の少なくともいずれか一方が否定的結果となる場合には、変換先アドレス信号ではなくアドレス信号が選択されて、低速のアクセスメモリのアクセスが可能となった。その際、元のアドレスには変更がないので、データは高速アクセスメモリか、低速のアクセスメモリかによって、新たなアドレス変更等の複雑なアドレス処理が必要ないので、処理時間の短縮化、装置の小型化及びプログラム規模の小型化が可能となる。

【0062】請求項2の発明によれば、変換アドレス決定工程で用いるアドレス信号は転送するデータに基づき、処理に必要な所定複数ビットを用いて判断されるために処理時間の短縮となり迅速な処理が可能となる。

【0063】請求項3の発明によれば、データを高速アクセスを行うにあたり、高速アクセスメモリ容量が少ない場合は低速アクセスメモリからのアクセスを行い、高速アクセスメモリ容量が多い場合は、高速アクセスメモリからのアクセスを行うように選択でき、ワーク領域が足らなかった場合であっても、正常動作をしなくなるような不具合を防ぐことが可能となる。

【0064】請求項4の発明によれば、次の電源投入時に不揮発性メモリの所定フラグを読み込む事により、使用者は高速アクセスメモリ容量を把握しなくても、自動的に高速な処理が可能となり、使用者の判断等のデータ処理装置の処理時間に較べて時間を要する処理工程を自動化することでスムーズな処理を可能とできた。

【0065】請求項5の発明によれば、加算部によりアドレス信号と、アドレス変換データとが加算されて、アドレス信号に対応する変換先アドレス信号が求められ、次に、判定部によりアドレス信号と対応する変換元アドレスとが一致するかどうか判定され、更に、選択部が判定部から出力された検出信号に基づいて、変換アドレス信号を選択され、前記加算部と判定部での処理を、並列に処理することによりアドレス変換によるタイミング遅延を減少することができる。

【0066】請求項6の発明によれば、前記請求項6の作用効果に加え、低速でアクセスするメモリからデータをアクセスするか、高速でアクセスするメモリからデータをアクセスするかを、変換元アドレスのデータ内容を変更することなく選択でき、高速アクセスメモリか低速アクセスメモリかにより複雑なアドレス処理等が必要なくなり、更に、高速アクセスメモリワークの領域が足らなくなって、正常動作しなくなるような場合であっても、複雑なアドレス処理等をする必要なく処理可能となる。

【0067】請求項7の発明によれば、アドレスデータ

全ビットを設定せずに、所定複数ビットを設定することにより、変換アドレス決定工程で用いるアドレス信号は転送するデータに基づき、処理に必要な所定複数ビットを用いることにより迅速な処理が可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るデータ処理装置の概略構成を示すブロック図である。

【図2】本発明の実施形態に係るデータ処理装置のアドレス変換前(a)と変換後(b)のメモリマップの説明図である。

【図3】RAMの空き容量がない場合に、使用者に通知するデータ処理装置のフローチャートである。

【図4】イニシャル時に高速アクセスできることを通知するデータ処理装置のフローチャートである。

【図5】イニシャル時にRAMの空き容量があれば高速アクセスするデータ処理装置のフローチャートである。

【図6】不揮発性RAMにより、高速か低速かを判定するデータ処理装置のフローチャートである。

【図7】図1のアドレス変換回路102の概略構成を示すブロック図である。

【図8】従来技術(1)の概略構成を示すブロック図である。

【図9】従来技術(2)の概略構成を示すブロック図である。

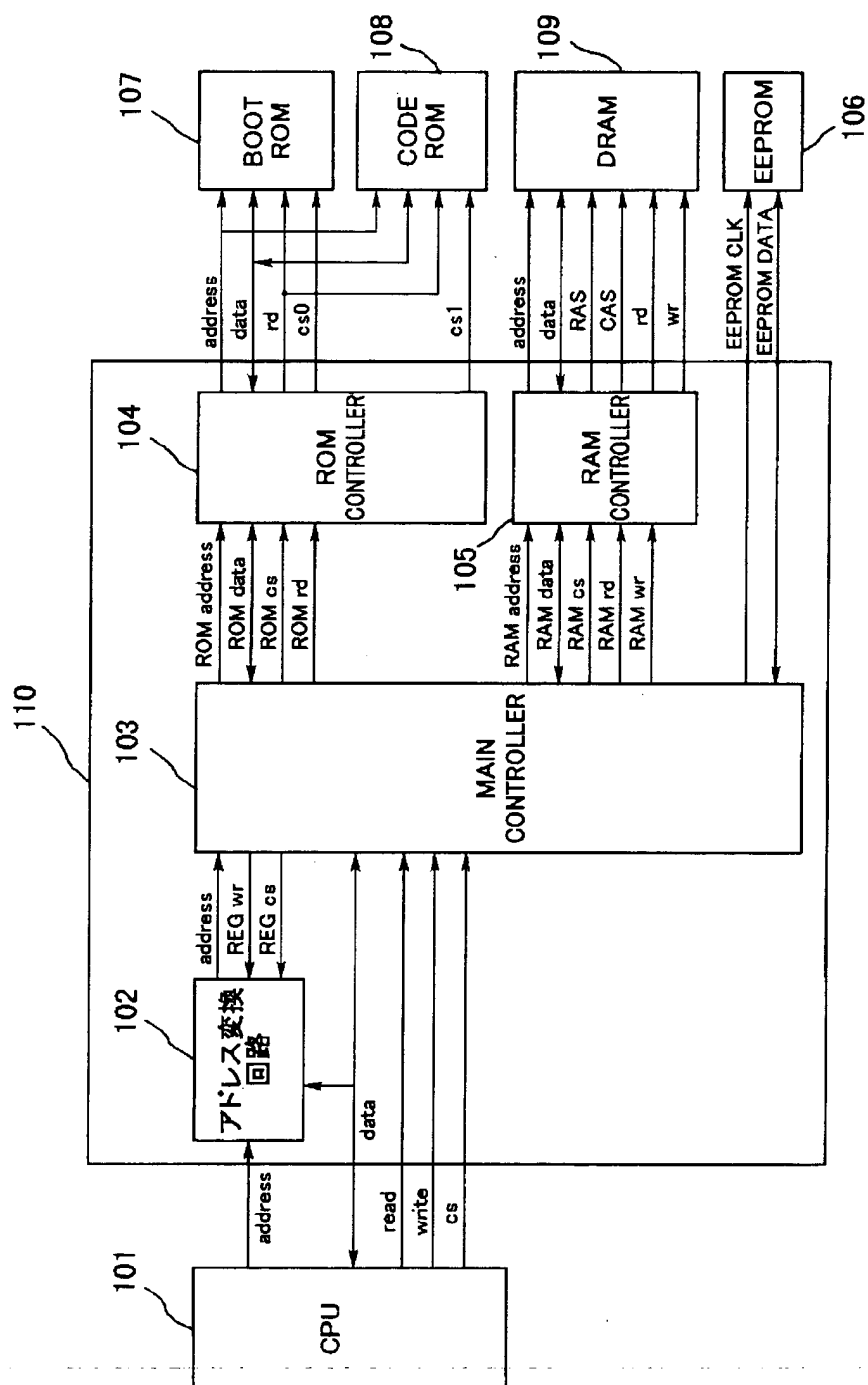
【図10】従来技術(2)のアドレス変換前(a)と変換後(b)のメモリマップの説明図である。

【図11】従来技術(3)の概略構成を示すブロック図である。

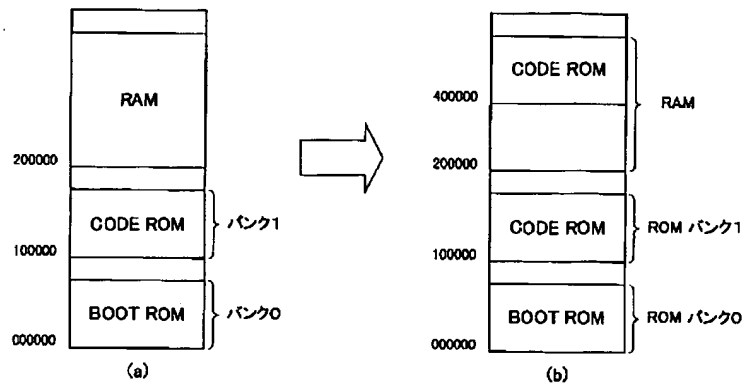
【符号の説明】

101 中央処理装置(CPU)  
102 アドレス変換回路  
106 不揮発性RAM(EEPROM)  
107 BOOT ROM  
108 CODE ROM  
109 DRAM  
address アドレス信号  
702 変換先アドレスレジスタA  
703 変換先アドレスレジスタB  
704、705 加算器  
706 ROMバンク0アドレス  
707 ROMバンク1アドレス  
708、709 一致検出回路  
710 変換イネーブルレジスタ  
711、712 ANDゲート  
713 セレクタ  
714 ORゲート

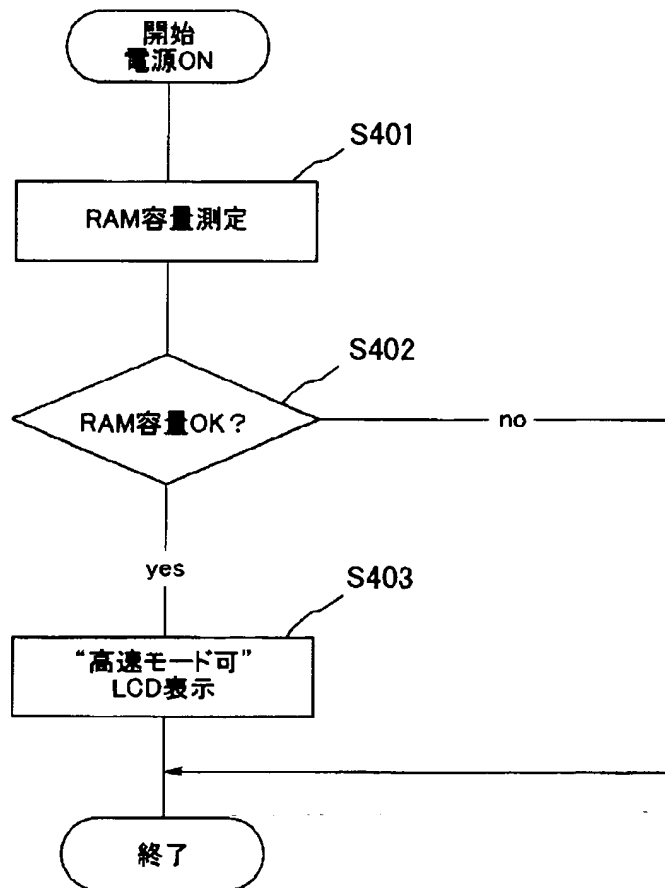
【図1】



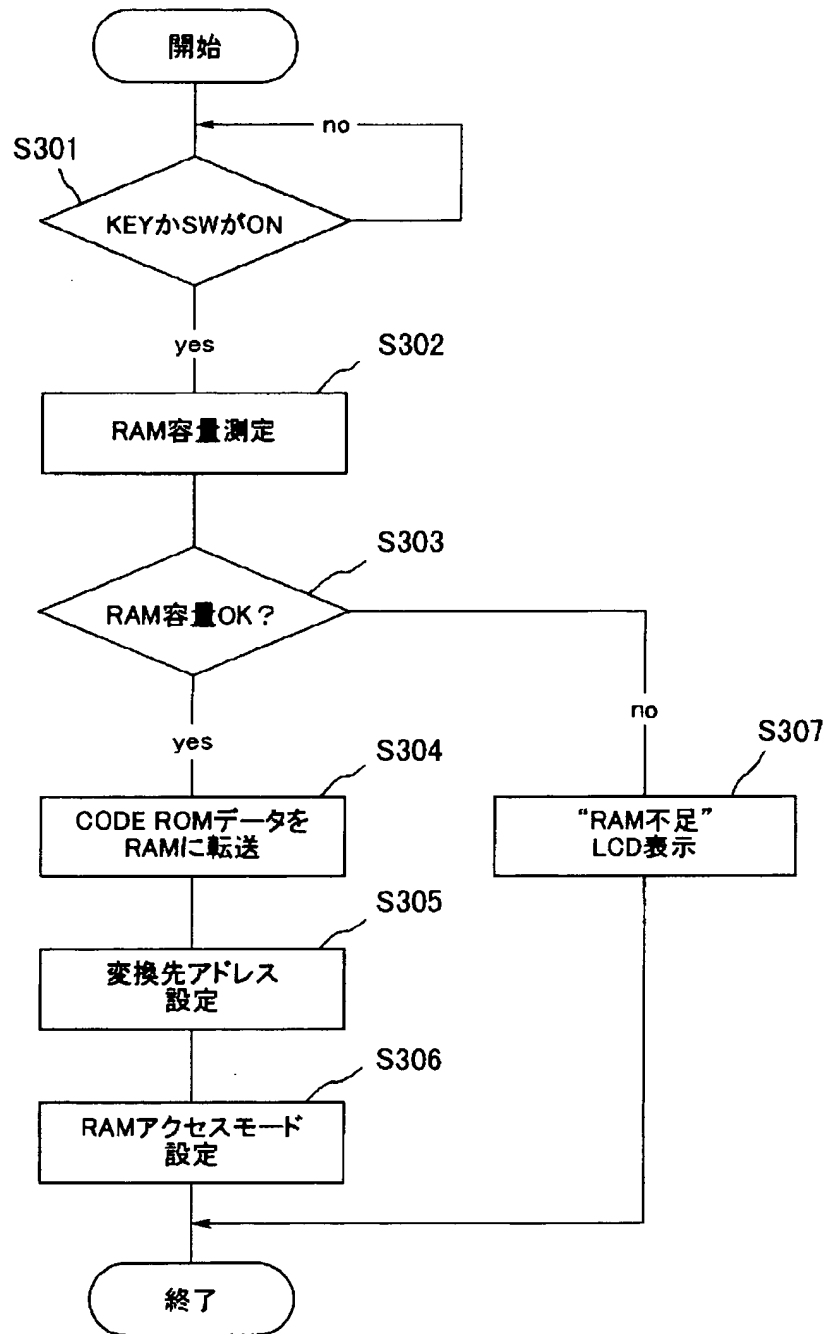
【図2】



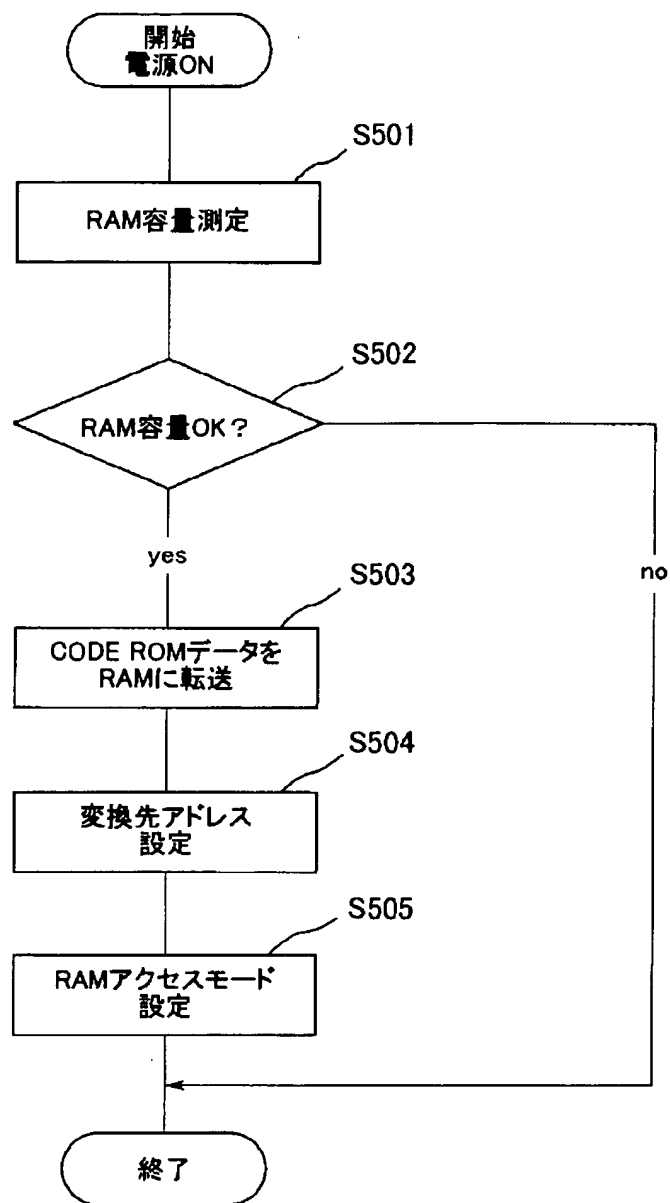
【図4】



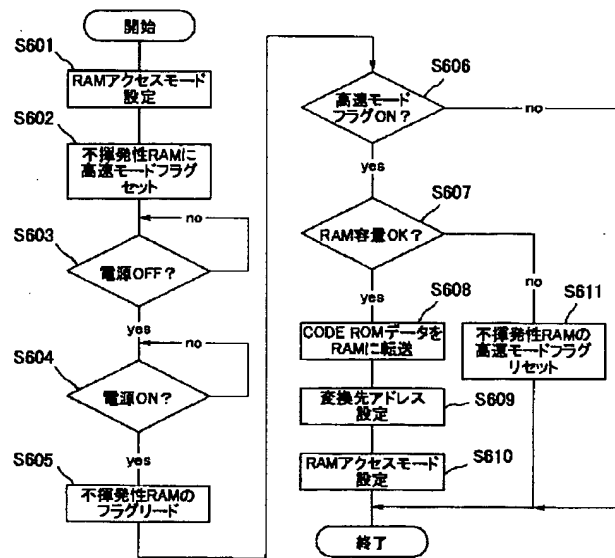
【図3】



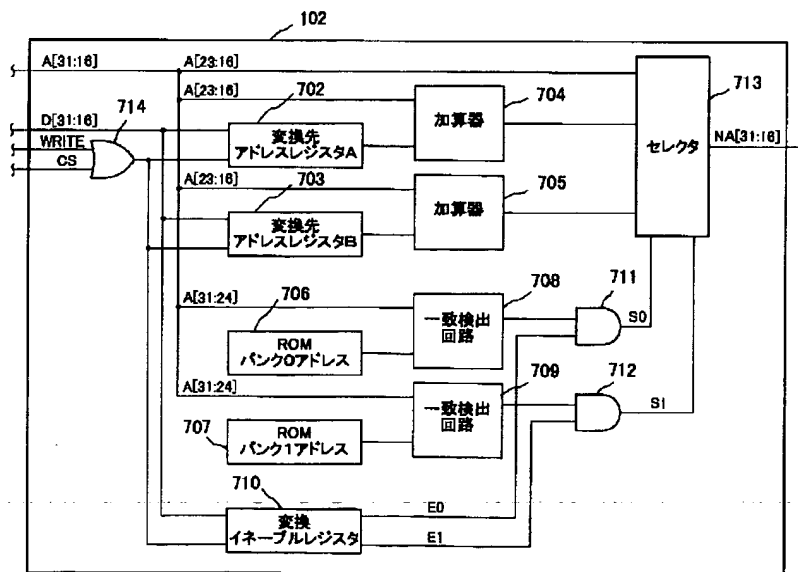
【図5】



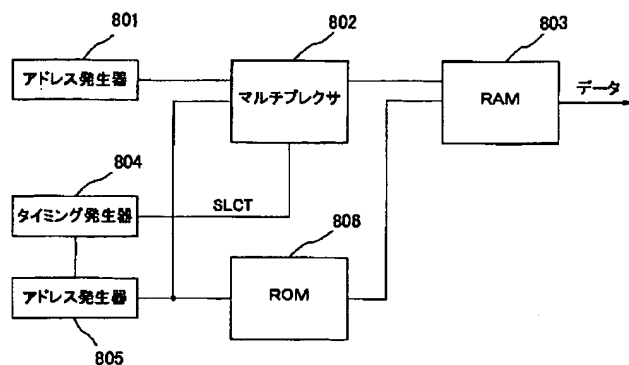
【図6】



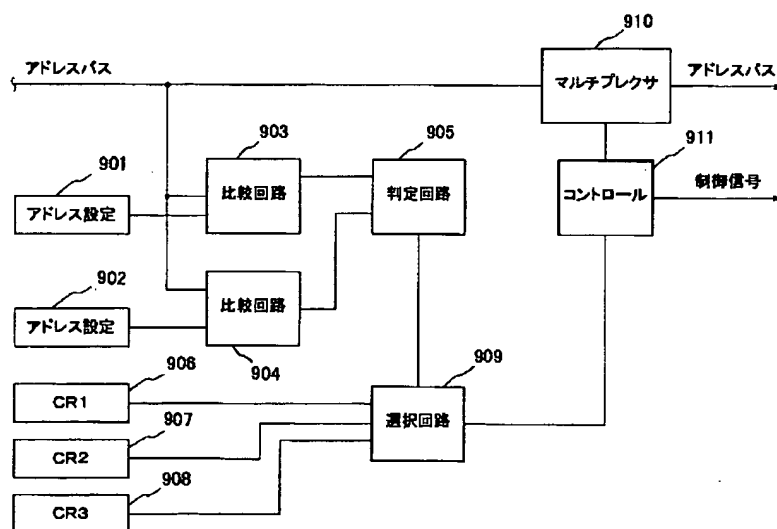
【図7】



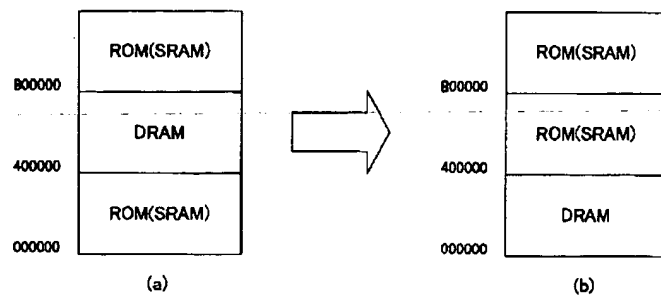
【図8】



【図9】



【図10】





【図11】

